

日本国特許庁
JAPAN PATENT OFFICE

04.04.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 4月 4日

出願番号

Application Number:

特願2002-102330

[ST.10/C]:

[JP2002-102330]

出願人

Applicant(s):

松下電器産業株式会社

REC'D 05 JUN 2003

WIPO

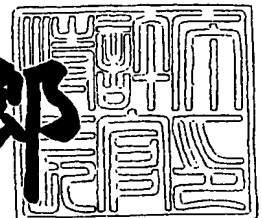
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



Best Available Copy 出証番号 出証特2003-3035784

【書類名】 特許願

【整理番号】 2037840036

【提出日】 平成14年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/173

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 谷口 一也

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 相馬 康人

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 早川 久登

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 井口 直哉

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 多電源半導体集積回路

【特許請求の範囲】

【請求項 1】 電源電圧の異なる複数の機能ブロックと、前記各機能ブロックへの電源供給を受ける複数の外部電源端子と、前記外部電源端子への電源供給を制御する常時電源供給状態の電源制御回路と、前記電源制御回路より外部の電源供給回路を制御する電源遮断信号を出力する外部出力端子とを備えた多電源半導体集積回路であって、前記電源制御回路により前記多電源半導体集積回路の電源制御を行うことを特徴とする多電源半導体集積回路。

【請求項 2】 前記機能ブロックはシステム制御用のマイクロコンピュータを備え、前記電源制御回路を制御することを特徴とする請求項 1 に記載の多電源半導体集積回路。

【請求項 3】 前記電源制御回路は前記マイクロコンピュータから所定のデータを受信したときに前記マイクロコンピュータの電源供給を停止し、外部端子からの割り込み信号を受信したときに前記マイクロコンピュータの電源供給を再開する制御手段を備えたことを特徴とする、電源制御回路とマイクロコンピュータを備えた請求項 2 に記載の多電源半導体集積回路。

【請求項 4】 前記電源制御回路は、前記割り込み信号を記憶するレジスタを備え、前記マイクロコンピュータが電源供給後に割り込み信号の内容を確認すること特徴とする請求項 3 に記載の多電源半導体集積回路。

【請求項 5】 前記各機能ブロック、前記入出力回路及び前記電源制御回路は、電源供給停止状態の回路からの入力論理を、前記電源遮断信号に従い L レベルまたは H レベルに固定する手段を備えた請求項 1 に記載の多電源半導体集積回路。

【請求項 6】 前記各機能ブロック、前記入出力回路及び前記電源制御回路は、電源供給停止状態の回路への出力論理を、前記電源遮断信号に従い L レベルに固定する手段を備えた請求項 1 に記載の多電源半導体集積回路。

【請求項 7】 常時電源供給状態の記憶手段を備え、前記各機能ブロックの電源供給停止中にシステム情報を保持することを特徴とする請求項 1 に記載の多電

源半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多電源半導体集積回路の省電力化に関するものであり、更に詳しく述べれば、複数の機能ブロックを集積した多電源半導体集積回路の電源供給制御に関するものである。

【0002】

【従来の技術】

近年、携帯用電子機器に使用される半導体集積回路の多くは、省電力化のため、周辺回路とのインターフェイス回路の駆動電圧（高電圧駆動）と、内部回路の駆動電圧（低電圧駆動）とを分けた、多電源半導体集積回路が広く利用されている。また、携帯用電子機器の小型化に伴い、駆動電圧の異なる複数の機能ブロックをひとつの半導体集積回路に集積することで、更なる半導体集積回路の多電源化が進んでいる。

【0003】

図12は従来の多電源半導体集積回路と電源供給回路を示すブロック図である。図において、1は当該多電源半導体集積回路、2は主電源、3～7は任意の電源電圧を供給するDC/DCコンバータと電源供給スイッチを備えた第1～第5の電源供給回路、VDD1～VDD5は任意の電源電圧、11～14は多電源半導体集積回路1に内蔵された第1～第4の機能ブロック、15は多電源半導体集積回路1の入出力端子回路、21～25は多電源半導体集積回路1に供給される任意の各電源電圧VDD1～VDD5を受けるの外部電源端子、31～35は多電源半導体集積回路1の内部電源配線を示している。なお、この図12の例では、第1の機能ブロック11がシステム制御用のマイクロコンピュータ、第2の機能ブロック12が信号処理回路、第3の機能ブロック13が耐震用記憶回路、第4の機能ブロック14がアナログ回路である。また、各電源供給回路3～7において内蔵の電源供給スイッチは常にONで常時電源供給状態にある。

【0004】

次に動作について説明する。主電源 2 が投入されると、各電源供給回路 3 ～ 7 は主電源 2 より供給を受けた電源電圧を任意の各電源電圧 $VDD1 \sim VDD5$ に変圧して、多電源半導体集積回路 1 に供給する。多電源半導体集積回路 1 は各電源供給回路 3 ～ 7 より供給される電圧電源 $VDD1 \sim VDD5$ を各外部電源端子 21 ～ 25 で受ける。各外部電源端子 21 ～ 25 で供給を受けた電源は、各内部電源配線 31 ～ 35 を介して各機能ブロック 11 ～ 14 と入力端子回路に供給される。各機能ブロック 11 ～ 14 と入力端子回路 15 は電源の供給を受け、多電源半導体集積回路 1 における所定の機能を実現するための動作を実行する。

【0005】

なお、各電源供給回路 3 ～ 7 は、各外部電源端子 21 ～ 25 を介して常に各機能ブロック 11 ～ 15 に電源を供給しており、たとえ、機能ブロック 11 ～ 14 が使用されていない場合においても電源の供給は継続されている。

【0006】

【発明が解決しようとする課題】

従来の多電源半導体集積回路は以上のように構成されているため、各機能ブロックには、それが使用されているとしないにかかわらず常に電源が供給される。従来は、マイクロコンピュータの HALT モードに代表されるようにクロック発振を停止することにより無駄な電力消費を抑えていたが、近年の超微細化加工と高集積化技術の発達により、定常状態で流れる静止電源電流が消費電力に与える影響を無視できなくなってきた。

【0007】

本発明は、上記のような問題点を解消するためのもので、使用されていない機能ブロックに対する電源供給を停止して、無駄な電力消費を抑えることができる多電源半導体集積回路を得ることを目的とする。

【0008】

【課題を解決するための手段】

この目的を達成するために、本発明に係る多電源半導体集積回路は、各機能ブロックへの電源供給を外部から受ける複数の外部電源端子と、各外部電源端子に電源を供給する複数の電源供給回路を制御する常時電源供給状態の電源制御回路

と、その制御信号である電源遮断信号を出力する外部出力端子を備えている。

【0009】

また、本発明に係る多電源半導体集積回路は、電源制御回路及び各機能ブロックを含むシステム全体を制御するマイクロコンピュータを備えている。

【0010】

また、本発明に係る多電源半導体集積回路は、マイクロコンピュータから所定のデータを受信したときに電源供給を停止し、外部端子からの割り込み信号を受信したときに電源供給を実行する電源制御回路を備えている。

【0011】

また、本発明に係る多電源半導体集積回路は、電源制御回路に電源供給再開の割り込み信号を保持するレジスタを備えている。

【0012】

また、本発明に係る多電源半導体集積回路は、電源供給を停止している回路からの入力論理を電源遮断信号に従いLレベルまたはHレベルに固定する回路を備えている。

【0013】

また、本発明に係る多電源半導体集積回路は、電源供給を停止している回路への出力論理を、電源遮断信号に従いLレベルに固定する回路を備えている。

【0014】

また、本発明に係る多電源半導体集積回路は、電源供給停止時にもシステム制御の情報を保持する常時電源供給状態の記憶回路を備えている。

【0015】

以上のような構成により、本発明における多電源半導体集積回路は、各機能ブロックへの電源供給を受ける各外部端子に電源を供給する複数の電源供給回路を、電源制御回路から出力される電源遮断信号により個別に制御することが可能である。これにより、使用されていない各機能ブロックの電源供給を停止することで、無駄に消費される電力を抑制する。

【0016】

また、本発明における多電源半導体集積回路は、電源制御回路をマイクロコン

コンピュータが制御することで、システム動作の中で自由に各機能ブロックの電源制御を行うことが可能であり、ハードとソフト両面での電源制御が可能となる。

【0017】

また、本発明におけるマイクロコンピュータと電源制御回路は、電源制御回路以外のマイクロコンピュータ自身を含む全機能ブロックの電源制御が可能となる。また、電源制御回路の主機能をマイクロコンピュータが担当することで、常時電源供給状態の電源制御回路を小規模にすることができ、更なる電力の削減が可能である。

【0018】

また、本発明における多電源半導体集積回路は、電源供給を再開した割り込み信号をレジスタに保持して、マイクロコンピュータがその内容を確認することで、電源供給が再開されたとき、システムの状態をマイクロコンピュータが確認することが可能となる。

【0019】

また、本発明における多電源半導体集積回路は、電源供給停止中の回路から出力される中間電位の信号により、受け側の回路で貫通電流が流れるのを防ぎ、無駄な電力を消費するのを抑制することが可能である。

【0020】

また、本発明における多電源半導体集積回路は、電力供給停止中の回路に出力する信号を、Lレベルに固定することで、受け側回路のPチャネルトランジスタの特性劣化を防ぐことが可能である。

【0021】

また、本発明における多電源半導体集積回路は、マイクロコンピュータの電源供給停止直前の状態を常時電源供給状態の記憶回路に記憶させることで、電源供給再開時に電源供給停止直前の状態から処理を継続して再開することが可能である。

【0022】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照しながら説明する。図1～図1

1 は、本発明の実施形態に係る多電源半導体集積回路を説明する図である。なお、図中において同一または相当部分には同一符号を付し、その説明は繰り返さない。

【 0 0 2 3 】

（実施の形態 1）

図 1 は本実施の形態を示すブロック図である。図において、1 は多電源半導体集積回路、2 は主電源、3 ～ 7 は第 1 ～ 第 5 の電源供給回路、VDD1 ～ VDD5 は任意の電源電圧、11 ～ 14 は第 1 ～ 第 4 の機能ブロック、15 は入出力端子回路、21 ～ 25 は第 1 ～ 第 5 の外部電源端子、31 ～ 35 は第 1 ～ 第 5 の内部電源配線を示している。なお、以上の構成は、図 12 に同一符号を付した従来のそれらと同一、もしくは相当部分であるため詳細な説明は省略する。また、40 は各機能ブロック 11 ～ 14 への電源供給を制御する電源制御回路、41 ～ 44 は電源制御回路 40 より出力される第 1 ～ 第 4 の電源遮断信号、45 ～ 48 は各電源遮断信号 41 ～ 44 を多電源半導体集積回路より出力する第 1 ～ 第 4 の外部出力端子である。

【 0 0 2 4 】

次に、以上のように構成された本実施例の多電源半導体集積回路 1 の動作について説明する。主電源 2 が投入されると、第 1 ～ 第 4 の電源供給回路 3 ～ 6 は主電源 2 より供給を受けた電源電圧を任意の各電源電圧 VDD1 ～ VDD4 に変圧して、多電源半導体集積回路 1 より出力される各電源遮断信号 41 ～ 44 に従い供給する。また、第 5 の電源供給回路 7 は主電源 2 より供給を受けた電源電圧を任意の電源電圧 VDD5 に変圧して、多電源半導体集積回路 1 に常時供給する。多電源半導体集積回路 1 は各電源供給回路 3 ～ 7 より供給される各電源電圧 VDD1 ～ VDD5 を各外部電源端子 21 ～ 24 で受ける。第 1 ～ 第 4 の外部電源端子 21 ～ 24 で供給を受けた電源は、第 1 ～ 第 4 の内部電源配線 31 ～ 34 を介して各機能ブロック 11 ～ 14 に供給される。また、第 5 の外部電源端子 25 で受けた常時供給の電源は、第 5 の内部電源配線 35 を介して入力端子回路 15 と電源制御回路 40 に供給される。電源制御回路 40 は、多電源半導体集積回路 1 を含めたシステム動作に従い、各電源遮断信号 41 ～ 44 を出力する。各電源遮

断信号 4 1 ~ 4 4 は、各外部出力端子 4 5 ~ 4 8 を介して第 1 ~ 第 4 の電源供給回路 3 ~ 6 に内蔵された電源供給スイッチを制御して、多電源半導体集積回路 1 への電源供給を制御する。これにより、入力端子回路 1 5 と電源制御回路 4 0 は常時電源供給を受け、各機能ブロック 1 1 ~ 1 4 は電源制御回路 4 0 により制御された電源の供給を受けて、多電源半導体集積回路 1 における所定の機能を実現するための動作を実行する。

【 0 0 2 5 】

ここで、図 2 は第 1 ~ 第 4 の電源遮断信号 4 1 ~ 4 4 と第 1 ~ 第 4 機能ブロック 1 1 ~ 1 4 及び入出力端子回路 1 5 の電源供給状態を示した図である。図中、“1” は電源供給中状態を、“0” は電源供給停止中状態を示している。また、各電源遮断信号 4 1 ~ 4 4 が “H” レベルのとき各電源供給回路 3 ~ 6 は電源供給を停止し、“L” レベルのときに電源を供給するものとする。図 2 (a) の場合、全電源遮断信号 4 1 ~ 4 4 が “L” レベルであるため、全電源供給回路 3 ~ 6 は主電源 2 より供給された電源を任意の電源電圧に変圧して、多電源半導体集積回路 1 に内蔵された各機能ブロック 1 1 ~ 1 4 に供給する。また、図 2 (b) の場合、第 1 ~ 第 3 の電源遮断信号 4 1 ~ 4 3 が “L” レベルで、第 4 の電源遮断信号 4 4 が “H” レベルあるため、第 1 ~ 第 3 の電源供給回路 3 ~ 5 は主電源 2 より供給された電源を任意の電源電圧に変圧して、多電源半導体集積回路 1 に供給し、第 4 の電源供給回路 6 は供給を停止する。従って、第 1 ~ 第 3 の機能ブロック 1 1 ~ 1 3 には電源が供給され、第 4 の機能ブロック 1 4 には供給が停止されることとなる。また、図 2 (c) の場合、第 1 及び電源遮断信号 4 1、4 2 が “L” レベルで、第 3、第 4 の電源遮断信号 4 3、4 4 が “H” レベルあるため、第 1 及び第 2 の電源供給回路 3、4 は主電源 2 より供給された電源を任意の電源電圧に変圧して、多電源半導体集積回路 1 に供給し、第 3 及び第 4 の電源供給回路 5、6 は供給を停止する。従って、多電源半導体集積回路 1 に内蔵されている第 1 及び第 2 の機能ブロック 1 1、1 2 には供給され、第 3 及び第 4 の機能ブロック 1 3、1 4 には供給が停止されることとなる。また、図 2 (d) の場合、第 1 の電源遮断信号 4 1 が “L” レベルで、第 2 ~ 第 4 の電源遮断信号 4 2 ~ 4 4 が “H” レベルあるため、第 1 の電源供給回路 3 は主電源 2 より供給された

電源を任意の電源電圧に変圧して、多電源半導体集積回路 1 に供給し、第 2 ～第 4 の電源供給回路 4 ～ 6 は供給を停止する。従って、多電源半導体集積回路 1 に内蔵されている第 1 の機能ブロック 11 には電源が供給され、第 2 ～第 4 の機能ブロック 12 ～ 14 には供給が停止されることとなる。また、図 2 (e) の場合、全電源遮断信号 41 ～ 44 が “H” レベルであるため、全電源供給回路 3 ～ 6 は多電源半導体集積回路 1 への電源供給を停止する。従って、多電源半導体集積回路 1 に内蔵された全機能ブロック 11 ～ 14 への電源供給は停止されることとなる。

【0026】

以上のように、機能ブロック 11 ～ 14 の中で使用していない機能ブロックへの電源供給を、内蔵されている電源制御回路 40 で遮断することで無駄な電力消費を抑えることが可能である。

【0027】

(実施の形態 2)

図 3 は本実施の形態を示すブロック図である。図において、第 1 の機能ブロック 11 はシステム制御用のマイクロコンピュータであり、50 は、その第 1 の機能ブロック 11 より電源制御回路 40 を制御するための所定のデータを送る制御信号群である。第 1 の機能ブロック 11 は、制御信号群 50 を介して電源制御回路 40 の制御する。

【0028】

次に、以上のように構成された本実施例の多電源半導体集積回路 1 の動作について説明する。主電源 2 が投入されると、第 1、第 5 の電源供給回路 3、7 は主電源 2 より供給を受けた電源電圧を任意の各電源電圧 $VDD1$ 、 $VDD5$ に変圧して、多電源半導体集積回路 1 に常時供給する。また、第 2 ～第 4 の電源供給回路 4 ～ 6 は主電源 2 より供給を受けた電源電圧を任意の各電源電圧 $VDD2 \sim VDD4$ に変圧して、多電源半導体集積回路 1 より出力される各電源遮断信号 41 ～ 44 に従い供給する。多電源半導体集積回路 1 は各電源供給回路 3 ～ 7 より供給される各電源電圧 $VDD1 \sim VDD5$ を各外部電源端子で受ける。第 1 及び第 5 の外部電源端子 21、25 で受けた常時供給状態の電源は、第 1 及び第 5 の内

部電源配線 3 1、3 5 を介して第 1 の機能ブロック 1 1 と入力端子回路 1 5 と電源制御回路 4 0 に供給され、第 2 ～第 4 の外部電源端子 2 2 ～2 4 で供給を受けた電源は、第 2 ～第 4 の内部電源配線 3 2 ～3 4 を介して各機能ブロック 1 2 ～1 4 に供給される。電源制御回路 4 0 は、システム全体を制御する第 1 の機能ブロック 1 1 (マイクロコンピュータ) より出力される制御信号群 5 0 を介して所定のデータを受け、第 2 ～第 4 の電源遮断信号 4 2 ～4 4 を出力する。第 2 ～第 4 の電源遮断信号 4 2 ～4 4 は、第 2 ～第 4 の外部出力端子 4 6 ～4 8 を介して第 2 ～第 4 の電源供給回路 4 ～6 に内蔵された電源供給スイッチを制御して、多電源半導体集積回路 1 への電源供給を制御する。これにより、第 1 の機能ブロック 1 1、入力端子回路 1 5 と電源制御回路 4 0 は常時電源供給を受ける。また、第 2 ～第 3 機能ブロック 1 2 ～1 4 は電源制御回路 4 0 により制御された電源の供給を受ける。

【0 0 2 9】

以上のように、第 1 の機能ブロック 1 1 (マイクロコンピュータ) により第 2 ～第 3 の機能ブロック 1 2、1 4 の電源供給を制御することが可能となる。また、システム制御を行っている第 1 の機能ブロック 1 1 (マイクロコンピュータ) が電源制御を行うことで、ソフトによる電源制御が可能となり、システム動作に沿った電源制御を行うことが可能である。

【0 0 3 0】

(実施の形態 3)

図 4 は本実施の形態を示すブロック図である。図において、第 1 の機能ブロック 1 1 はマイクロコンピュータであり、5 1 は電源遮断信号を保持する R S ラッチ回路、5 2 は第 1 の機能ブロック 1 1 より出力される信号で第 1 の機能ブロック 1 1 への電源供給を停止する制御信号 5 2 は R S ラッチ回路 5 1 にリセット信号を供給する 3 入力 OR 回路、5 3 は 3 入力 OR 回路 5 2 の第 1 の入力に接続されるリセット信号 5 4、5 5 は 3 入力 OR 回路 5 2 の第 2 及び第 3 の入力に接続される割り込み信号、5 6 ～5 8 はリセット信号及び各割り込み信号を受ける外部入力端子である。

【0 0 3 1】

電源供給回路 4 0 は、電源遮断信号を保持する R S ラッチ回路 5 1 と電源供給を再開させるための 3 入力 O R 回路 5 2 を備えている。電源遮断信号を保持する R S ラッチ回路 5 1 は、Q ノード（出力ノード）に第 1 の電源遮断信号 4 1 が接続され、S ノード（セットノード）には第 1 の機能ブロック 1 1 より出力される制御信号 5 3 が接続され、R ノード（リセットノード）には 3 入力 O R 回路 5 2 の出力が接続されている。また、3 入力 O R 回路の第 1 の入力にはリセット信号 5 4 が接続され、第 2 及び第 3 の入力には割り込み信号 5 5、5 6 が接続されている。また、リセット信号 5 4 及び各割り込み信号 5 5、5 6 は、各外部入力端子 5 7 ~ 5 9 に接続されている。

【 0 0 3 2 】

次に、以上のように構成された本実施例の多電源半導体集積回路 1 の動作について説明する。図 5 は、制御信号 5 1、リセット信号 5 4、各割り込み信号 5 5 と第 1 の機能ブロック 1 1 への電源供給を示す説明図である。なお、図 2 の場合と同様に“1”は電源供給中を、“0”は電源供給停止中を示し、第 1 の電源遮断信号 4 1 が“H”レベルのとき第 1 の電源供給回路 3 は電源供給を停止し、“L”レベルのときに電源を供給するものとする。また、横軸は時間軸を示すものである。図 5（a）は、リセット信号 5 4 がリセット状態（H レベル）の時に電源遮断回路 5 2 は L レベルに設定され、以降、リセット信号 5 4 のレベルによらず L レベルを保持し続ける。このため、第 1 の電源遮断信号 4 1 は L レベルとなり、第 1 の電源供給回路 3 は第 1 の機能ブロック 1 1 への電源供給する。また、図 5（b）、（d）、（f）は、制御信号 5 1 が H レベルの時に電源遮断回路 5 2 は H レベルに設定され、以降、制御信号 5 1 のレベルによらず H を保持し続ける。このため、第 1 の電源遮断信号 4 1 は H レベルとなり、第 1 の電源供給回路 3 は第 1 の機能ブロック 1 1 への電源供給を停止する。また、図 5（c）は、第 1 の割り込み信号 5 5 が H レベルの時に電源遮断回路 5 2 は L レベルに設定され、以降、第 1 の割り込み信号 5 5 のレベルによらず L レベルを保持し続ける。このため、第 1 の電源遮断信号 4 1 は L レベルとなり、第 1 の電源供給回路 3 は第 1 の機能ブロック 1 1 への電源供給する。また、図 5（e）は、第 2 の割り込み信号 5 6 が H レベルの時に電源遮断回路 5 2 は L レベルに設定され、以降、第 2

の割り込み信号56のレベルによらずLレベルを保持し続ける。このため、第1の電源遮断信号41はLレベルとなり、第1の電源供給回路3は第1の機能ブロック11への電源供給する。

【0033】

以上のように、マイクロコンピュータにより、マイクロコンピュータ自身を含めた各機能ブロックの電源供給を停止し、外部割り込み信号により電源供給を再開することが可能となる。これにより、本発明の多電源半導体集積回路は、携帯用電子機器が使用されていない場合、各機能ブロックへの電源供給を停止して、次のキー操作（割り込み制御）を待つこと（待機状態）が可能となり、待機状態の電力消費を抑制することができる。

【0034】

（実施の形態4）

図6は本実施の形態を示すブロック図である。図において、第1の機能ブロック11はマイクロコンピュータであり、61、62は電源制御回路40に内蔵され各割り込み信号55、56のデータを保持する内部レジスタ、63、64は各内部レジスタ61、62のデータを第1の機能ブロック11が取得するための内部信号である。

【0035】

次に、以上のように構成された本実施例の多電源半導体集積回路1の動作について説明する。全機能ブロック11～14の電源供給が停止状態で、割り込み信号55、56により電源供給が再開された場合、各内部レジスタ61、62が各割り込み信号55、56のデータを保持する。第1の機能ブロック11は電源供給再開後に、各内部信号63、64を介して各内部レジスタ61、62に保持されたデータを取得することで、割り込み制御の内容を確認することが可能である。

【0036】

これにより、本発明の多電源半導体集積回路は、待機状態から、何らかのキー操作（割り込み制御）により待機状態が解除され、各機能ブロックに電源供給が再開されると、マイクロコンピュータは、電源制御回路に内蔵された内部レジス

タに保持されたデータを確認することで、キー操作の内容を確認し所定の動作を行うことが可能である。

【0037】

(実施の形態5)

図7は本実施の形態を示すブロック図である。図において、第1の機能ブロック11は、2入力OR回路71を備えている。

【0038】

この2入力OR回路71の第1の入力は電源遮断信号42に、第2の入力はブロック間信号72に、出力は内部信号73に接続されている。この2入力OR回路71は第1～第3のp型MOSトランジスタTP11～TP13と第1～第3のn型MOSトランジスタTN11～TN13とで構成されている。第1のp型MOSトランジスタTP11と第1のn型MOSトランジスタTN11との各々のゲート電極は互いに接続されて、ブロック間信号72を受け取るための入力端子を構成している。第2のp型MOSトランジスタTP12と第2のn型MOSトランジスタTN12との各々のゲート電極は互いに接続されて、電源遮断信号42を受け取るための入力端子を構成している。第1のp型MOSトランジスタTP11のドレイン電極と、第1及び第2のn型MOSトランジスタTN11、TN12の各々のドレイン電極とは、第3のp型MOSトランジスタTP13と第3のn型MOSトランジスタTN13との各々のゲート電極に接続されている。第1のp型MOSトランジスタTP11のソース電極は第2のp型MOSトランジスタTP12のドレイン電極に接続され、第2のp型MOSトランジスタTP12のソース電極は第1の内部電源配線31に接続され電源電圧VDD1が供給される。第1及び第2のn型MOSトランジスタTN11、TN12のソース電極は接地線GNDに接続されている。第3のp型MOSトランジスタTP13のソース電極は第1の内部電源配線31に接続され電源電圧VDD1が供給される。第3のn型MOSトランジスタTN13のソース電極は接地線GNDに接続されている。第3のp型MOSトランジスタTP13のドレイン電極と、第3のn型MOSトランジスタTN13のドレイン電極は、第1の機能ブロック11へ内部信号73を供給するための出力端子を構成している。

【0039】

図7において、第2の機能ブロック12はCMOSインバータ回路74を備えている。このCMOSインバータ回路74の出力はブロック間信号72に接続されている。CMOSインバータ回路74は、第4のp型MOSトランジスタTP14と第4のn型MOSトランジスタTN14により構成されている。第4のp型MOSトランジスタTP14と第4のn型MOSトランジスタTN14との各々のゲート電極は互いに接続されて、入力を受け取るための入力端子を構成している。第4のp型MOSトランジスタTP14のソース電極は第2の内部電源配線32に接続され電源電圧VDD2が供給される。第4のn型MOSトランジスタTN14のソース電極は接地線GNDに接続される。第4のp型MOSトランジスタTP14のドレイン電極と第4のn型MOSトランジスタTN14のドレイン電極とは互いに接続されて、ブロック間信号72を供給するための出力端子を構成している。

【0040】

次に、以上のように構成された多電源半導体集積回路1の電源供給停止中の動作について説明する。図8は、電源遮断信号42をHレベルに固定して、第2の機能ブロック12への電源供給を停止したときの動作を示すものである。この場合、第2の機能ブロック12に内蔵されたインバータ回路74は電源供給を断たれることにより、第2の内部電源配線32の残留電荷に基づき不定レベル（中間電位）を出力する。第1の機能ブロック11に内蔵の2入力OR回路を構成する第2のp型MOSトランジスタTP12をOFFとなる。これにより、第1のp型MOSトランジスタTP11の電源供給を断ち、入力信号72を介して不定（中間電位）の伝搬を回避される。また、第2のn型MOSトランジスタTN12をONにすることで、第3のp型MOSトランジスタTP13と第3のn型MOSトランジスタTN13との各々のゲート電極にLレベルを供給し、第3のp型MOSトランジスタはON状態に第3のn型MOSトランジスタはOFF状態となり出力信号はHレベルに固定される。このように、電源遮断信号42に従い第2の機能ブロック12への電源供給が停止した場合、第2の機能ブロック12より第1の機能ブロック11への入力論理はHレベルに固定される。これにより、

不定論理の伝搬と、中間電位がゲート電極に入力されることによる貫通電流の発生を回避することが可能である。

【0041】

(実施の形態6)

図9は本実施の形態を示すブロック図である。図において、第1の機能ブロック11は、第1のインバータ回路81と2入力NOR回路82を備えている。

【0042】

この第1のインバータ回路81の入力は内部信号83に、出力は2入力NOR回路82の第2の入力に接続されている。第1のインバータ回路は第1のp型MOSトランジスタTP21と、第1のn型MOSトランジスタTN21とで構成されている。第1のp型MOSトランジスタTP21と第1のn型MOSトランジスタTN21との各々のゲート電極は互いに接続されて、内部信号83を受け取るための入力端子を構成している。第1のp型MOSトランジスタTP21のソース電極は第1の内部電源配線31に接続され電源電圧VDD1が供給される。第1のn型MOSトランジスタTN21のソース電極は接地線GNDに接続される。第1のp型MOSトランジスタTP21のドレイン電極と第1のn型MOSトランジスタTN21のドレイン電極とは互いに接続されて、2入力NOR回路の第1の入力に接続される。また、2入力NOR回路82の第2の入力は電源遮断信号42に、出力はブロック間信号84に接続されている。この2入力NOR回路82は第2、第3のp型MOSトランジスタTP22、TP23と第2、第3のn型MOSトランジスタTN22、TN23とで構成されている。第2のp型MOSトランジスタTP22と第2のn型MOSトランジスタTN22との各々のゲート電極は互いに接続されて、第1のインバータ回路81の出力を受け取るための入力端子を構成している。第3のp型MOSトランジスタTP23と第3のn型MOSトランジスタTN23との各々のゲート電極は互いに接続されて、電源遮断信号42を受け取るための入力端子を構成している。第2のp型MOSトランジスタTP22のドレイン電極と、第2及び第3のn型MOSトランジスタTN22、TN23の各々のドレイン電極とは、ブロック間信号84を出力するための出力端子を構成している。第2のp型MOSトランジスタTP22

のソース電極は第3のp型MOSトランジスタTP23のドレイン電極に接続され、第3のp型MOSトランジスタTP23のソース電極は第1の内部電源配線31に接続され電源電圧VDD1が供給される。第1及び第2のn型MOSトランジスタTN22、TN23のソース電極は接地線GNDに接続されている。

【0043】

また、図9において、第2の機能ブロック12は、第2のインバータ回路85を備えている。この第2のインバータ回路85の入力はブロック間信号84に接続されている。第2のインバータ回路は第4のp型MOSトランジスタTP24と、第4のn型MOSトランジスタTN24とで構成されている。第4のp型MOSトランジスタTP24と第4のn型MOSトランジスタTN24との各々のゲート電極は互いに接続されて、2入力NOR回路82の出力信号を受け取るための入力端子を構成している。第1のp型MOSトランジスタTP24のソース電極はVDD2に接続され、第1のn型MOSトランジスタTN24のソース電極は接地線GNDに接続される。第1のp型MOSトランジスタTP24のドレイン電極と第1のn型MOSトランジスタTN24のドレイン電極とは互いに接続されて出力端子を構成している。

【0044】

次に、以上のように構成された当該多電源半導体集積回路1の電源供給停止中の動作について説明する。図10は、電源遮断信号42をHレベルに固定して、第2の機能ブロック12への電源供給を停止したときの動作を示すものである。この場合、第1の機能ブロック11に内蔵の2入力NOR回路を構成する第3のp型MOSトランジスタTP23はOFF状態となり、第3のn型MOSトランジスタTN23はON状態となる。これにより、第2のp型MOSトランジスタとn型MOSトランジスタTN22は2入力NOR回路82内で分離され、出力信号はLレベルに固定される。

【0045】

これにより、第2の機能ブロック12に内蔵の第2のインバータ回路は、電源供給停止中にはLレベルの信号が供給され、電源供給停止状態におけるp型MOSトランジスタのゲート電極に、長時間Hレベルの電圧を印加することによるp

型MOSトランジスタの特性劣化を回避することが可能である。

【0046】

(実施の形態7)

図11は本実施の形態を示すブロック図である。図において、第1の機能ブロック11はマイクロコンピュータである。90は電源制御回路40に内蔵された常時電源供給状態の記憶回路である。記憶回路90は、第1の機能ブロック11より、信号群91を介してデータの記録と読み出しとを可能としている。

【0047】

次に、以上のように構成された本実施例の多電源半導体集積回路1の動作について説明する。ここで、各機能ブロック11～14への電源供給については、第1～第3の実施形態で説明したものと同様の方法で行われる。システム制御を行う第1の機能ブロック11は、自身の電源供給を停止する前にシステム操作のデータを、常時電源供給状態の記憶回路90に記録してから電源供給を停止する。記憶回路90は全機能ブロック11～14の電源供給が停止中にも常時電源が供給されるため、電源供給停止直前に記録されたデータは失われることなく保持される。第1の機能ブロック11は電源供給が再開直後に、記憶回路90に保持されたデータを読み出して、電源供給停止前の状態から継続的に所定の動作を行うことが可能である。

【0048】

これにより、本発明の多電源半導体集積回路は、電源供給停止前にシステム操作に必要なデータ（キー操作、表示設定、音量等の設定）を記憶回路に記録して、電源供給停止中にデータを保持することで、電源供給再開後に同様の設定を繰り返し行う必要がなくなる。

【0049】

【発明の効果】

以上説明してきたように、本発明は複数の機能ブロックを備えた多電源半導体集積回路において、各機能ブロックの電源供給を個別制御できる電源制御回路を設けることにより、使用されていない機能ブロックの電源供給を停止することで無駄に電力が消費されるのを防ぐことが可能な、優れた多電源半導体集積回路を

実現するものである。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る多電源半導体集積回路を示すブロック図

【図 2】

本発明の第 1 の実施形態における電源遮断信号と電源供給状態の関係を示す説明図

【図 3】

本発明の第 2 の実施形態に係る多電源半導体集積回路を示すブロック図

【図 4】

本発明の第 3 の実施形態に係る多電源半導体集積回路を示すブロック図

【図 5】

本発明の第 3 の実施形態における電源制御と電源供給状態の関係を示す説明図

【図 6】

本発明の第 4 の実施形態に係る多電源半導体集積回路を示すブロック図

【図 7】

本発明の第 5 の実施形態に係る多電源半導体集積回路を示す構成図

【図 8】

本発明の第 5 の実施形態に係る多電源半導体集積回路の機能説明図

【図 9】

本発明の第 6 の実施形態に係る多電源半導体集積回路を示す構成図

【図 10】

本発明の第 6 の実施形態に係る多電源半導体集積回路の機能説明図

【図 11】

本発明の第 7 の実施形態に係る多電源半導体集積回路を示すブロック図

【図 12】

従来の多電源半導体集積回路を示すブロック図

【符号の説明】

1 多電源半導体集積回路

2 主電源

3, 4, 5, 6, 7 電源供給回路

1 1, 1 2, 1 3, 1 4 機能ブロック

1 5 入出力端子回路

2 1, 2 2, 2 3, 2 4, 2 5 外部電源端子

3 1, 3 2, 3 3, 3 4, 3 5 内部電源配線

4 0 電源制御回路

4 1, 4 2, 4 3, 4 4 電源遮断信号

4 5, 4 6, 4 7, 4 8 外部出力端子

5 0 制御信号群

5 1 RSラッチ回路

5 2 3入力OR回路

5 3 制御信号

5 4 リセット信号

5 5, 5 6 割り込み信号

5 7, 5 8, 5 9 外部入力端子

6 1, 6 2 内部レジスタ

6 3, 6 4 内部信号

7 1 2入力OR回路

7 2 インバータ回路

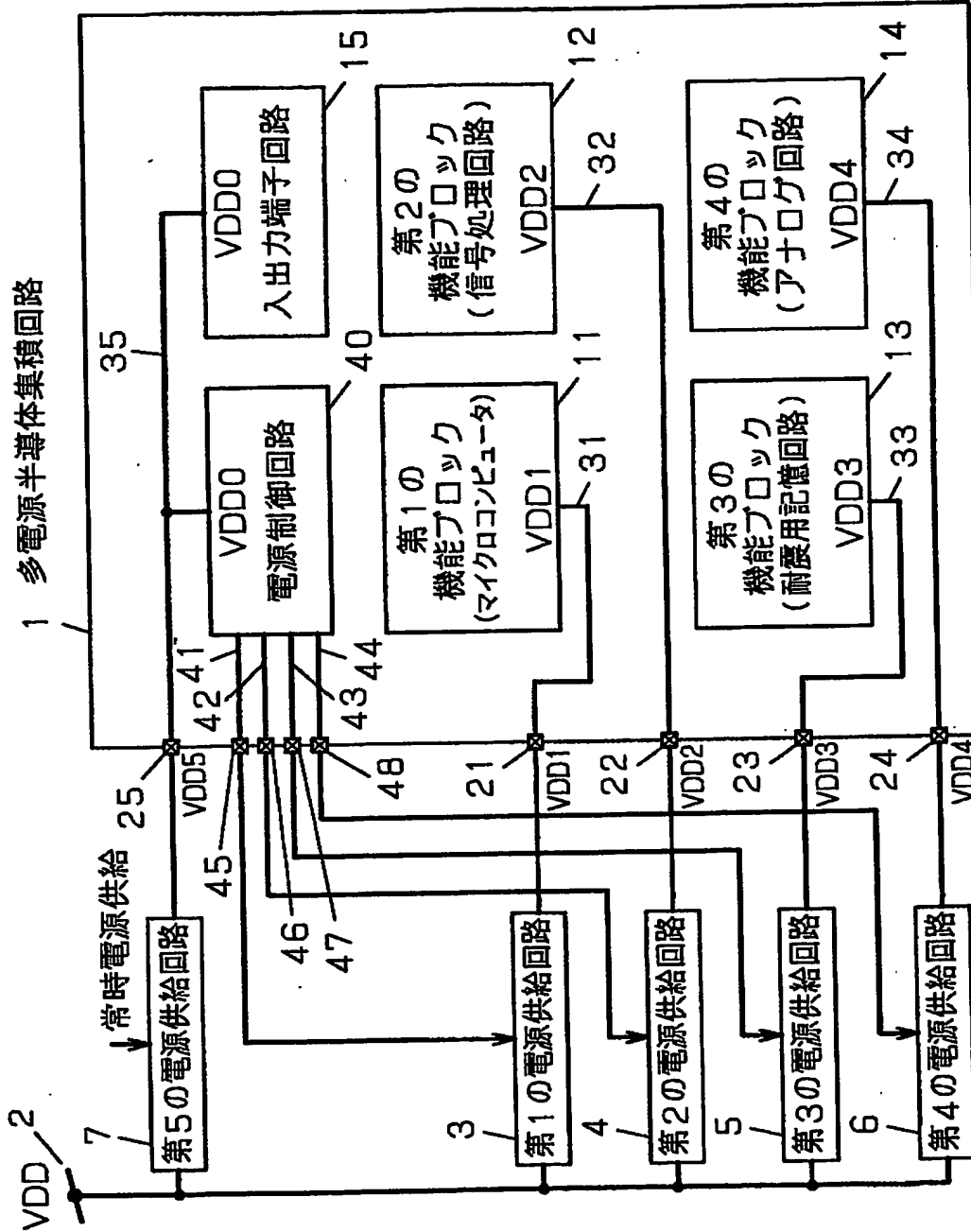
7 3, 8 4 ブロック間信号

7 4, 8 3 内部信号

【書類名】

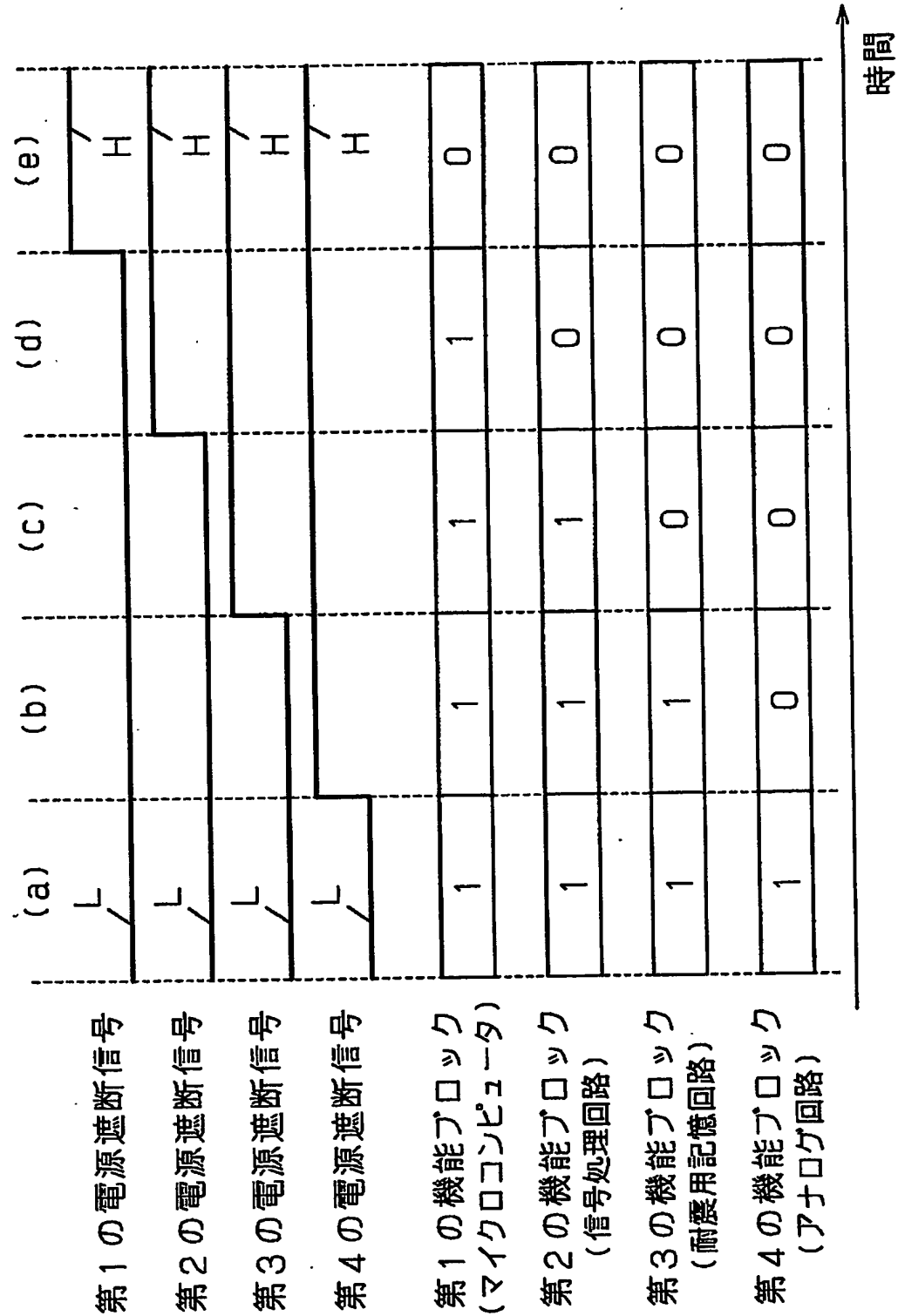
図面

【図 1】

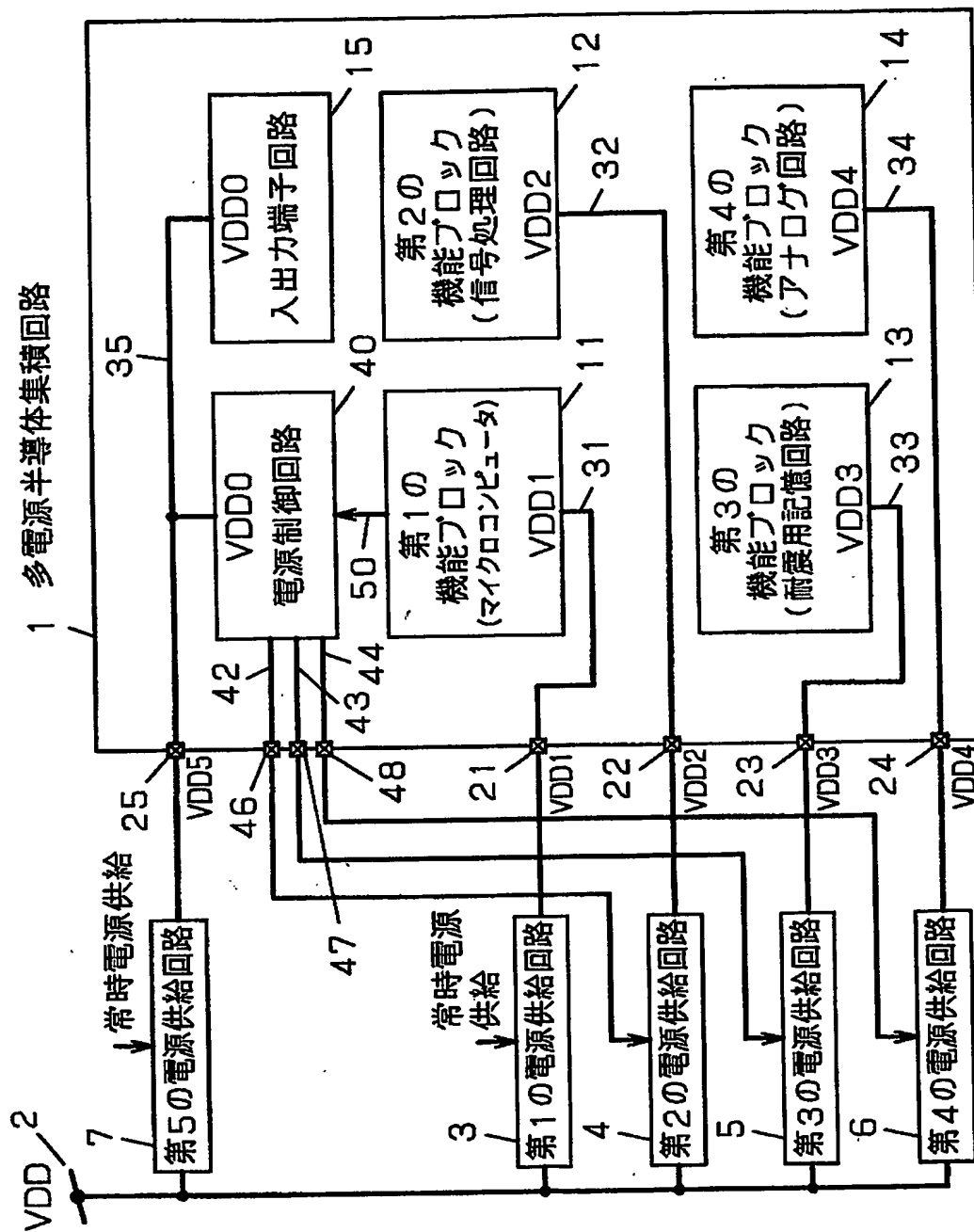


【図2】

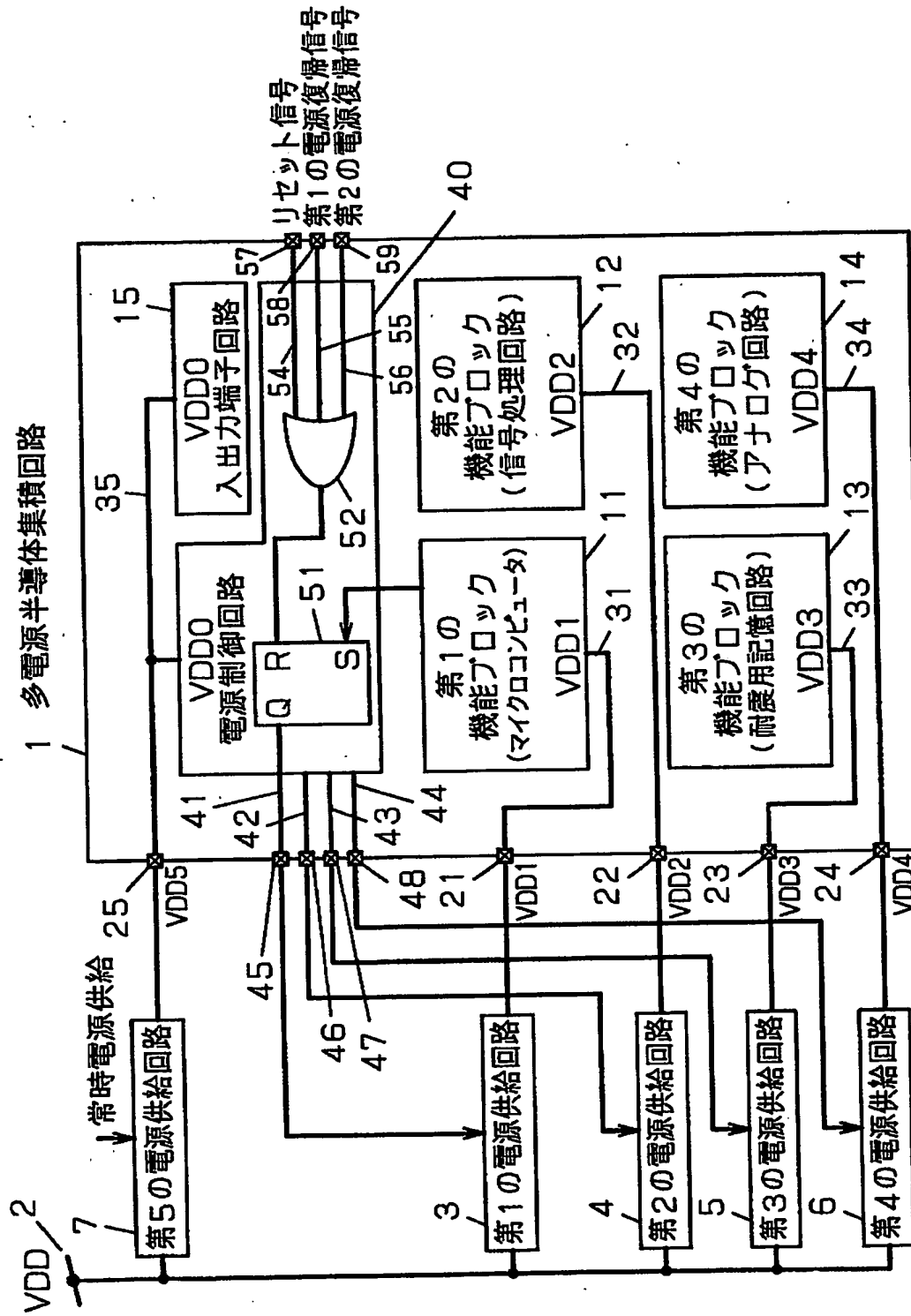
1 : 電源供給
0 : 電源供給停止



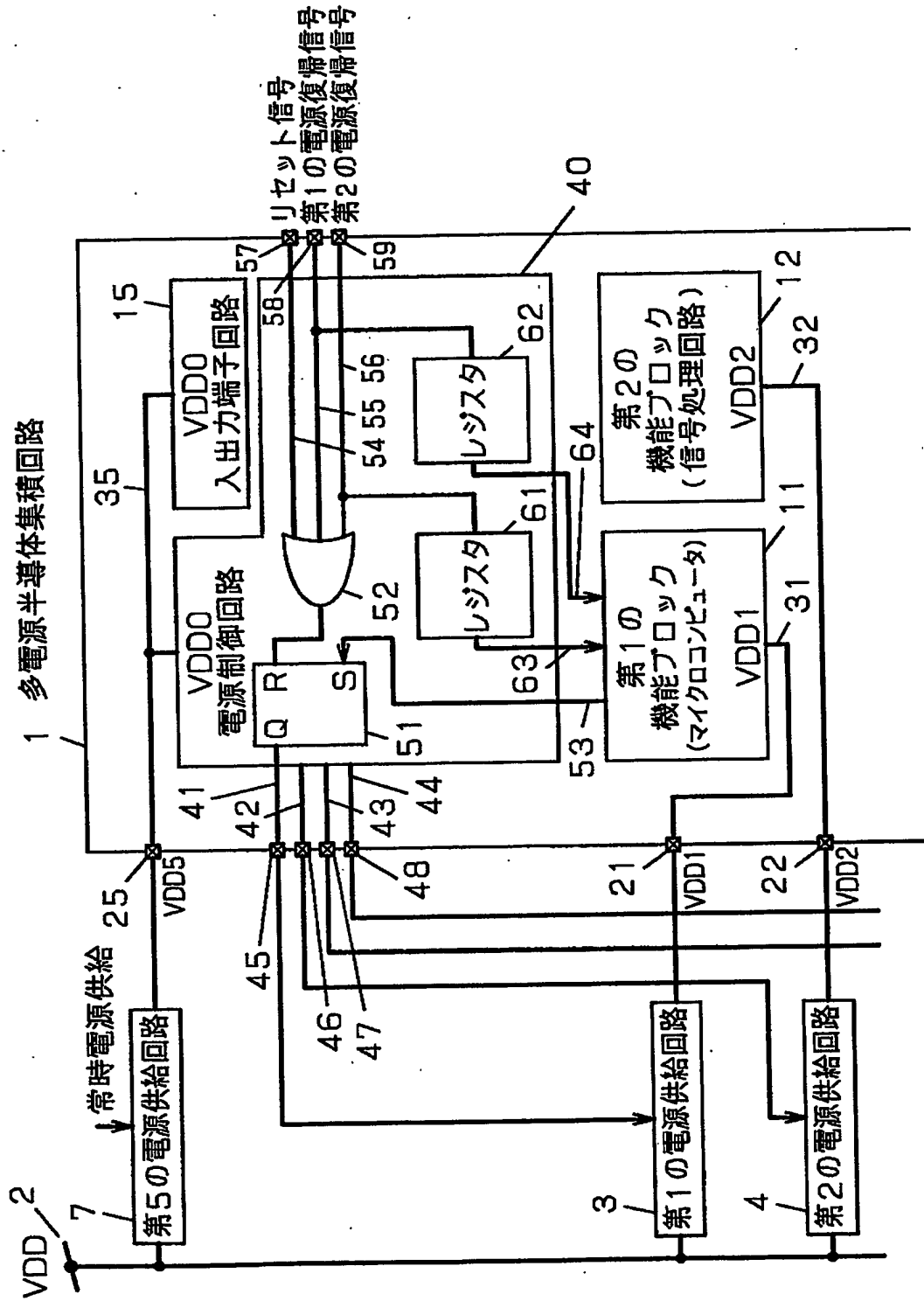
【図 3】



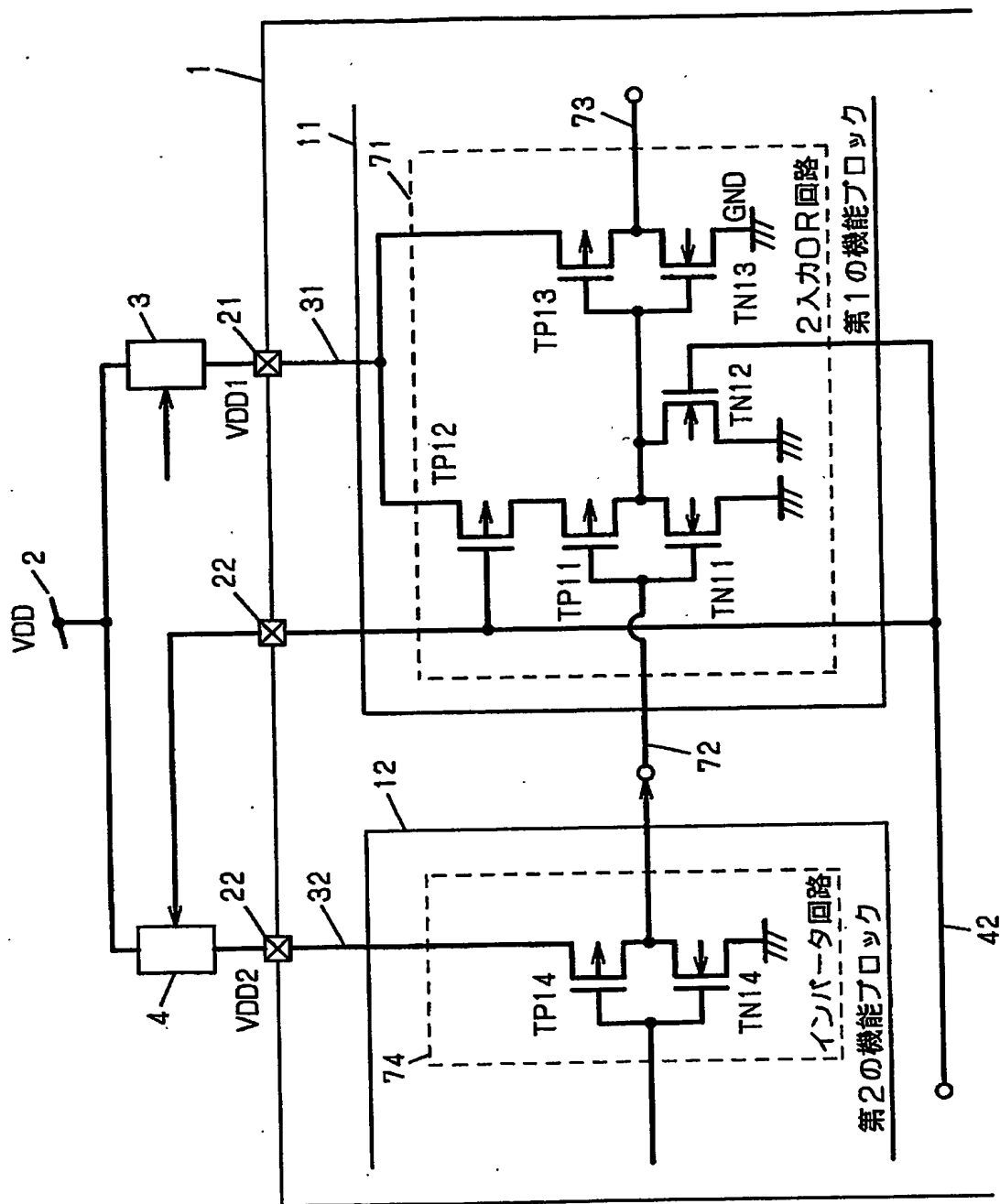
【図4】



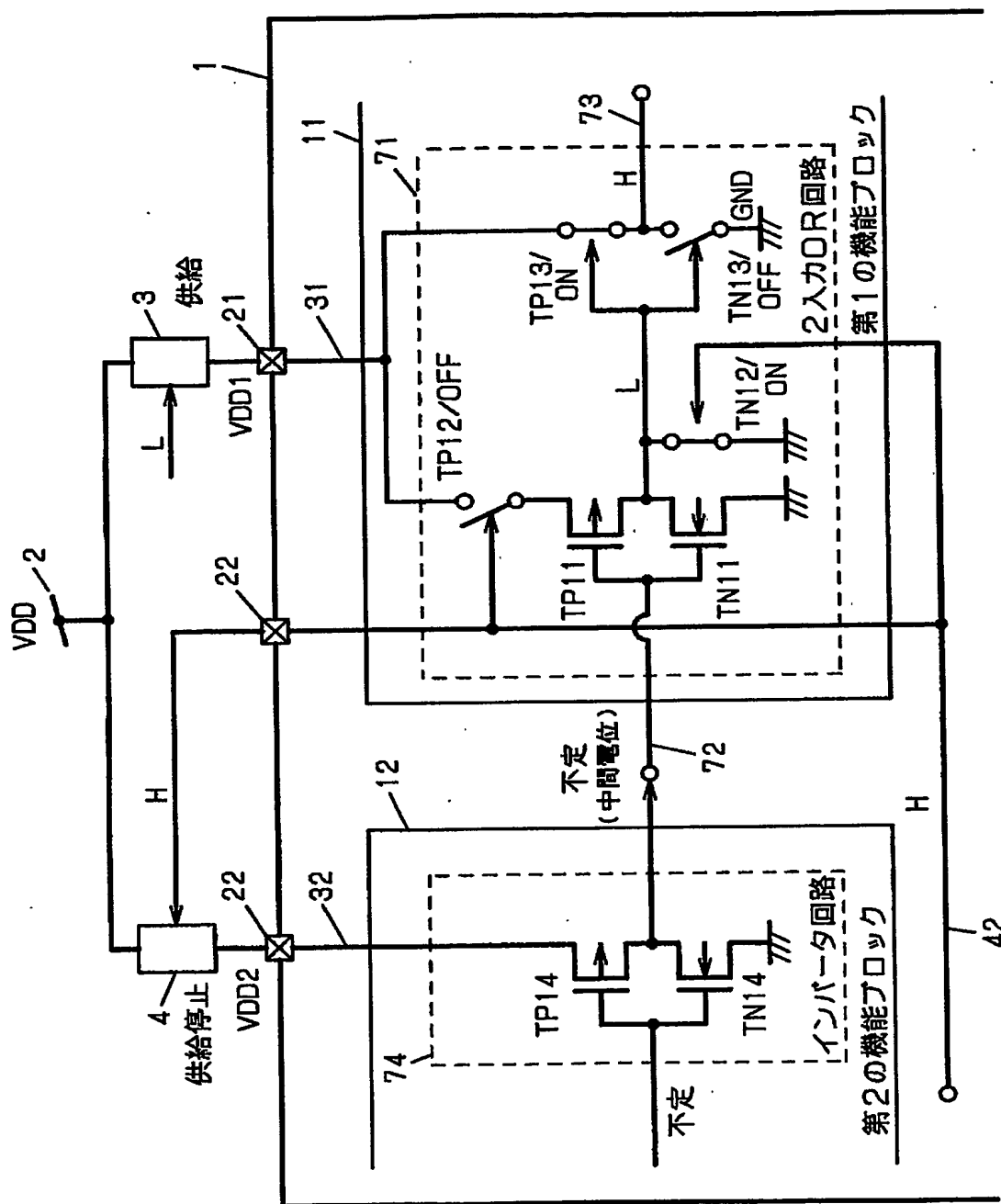
【図6】



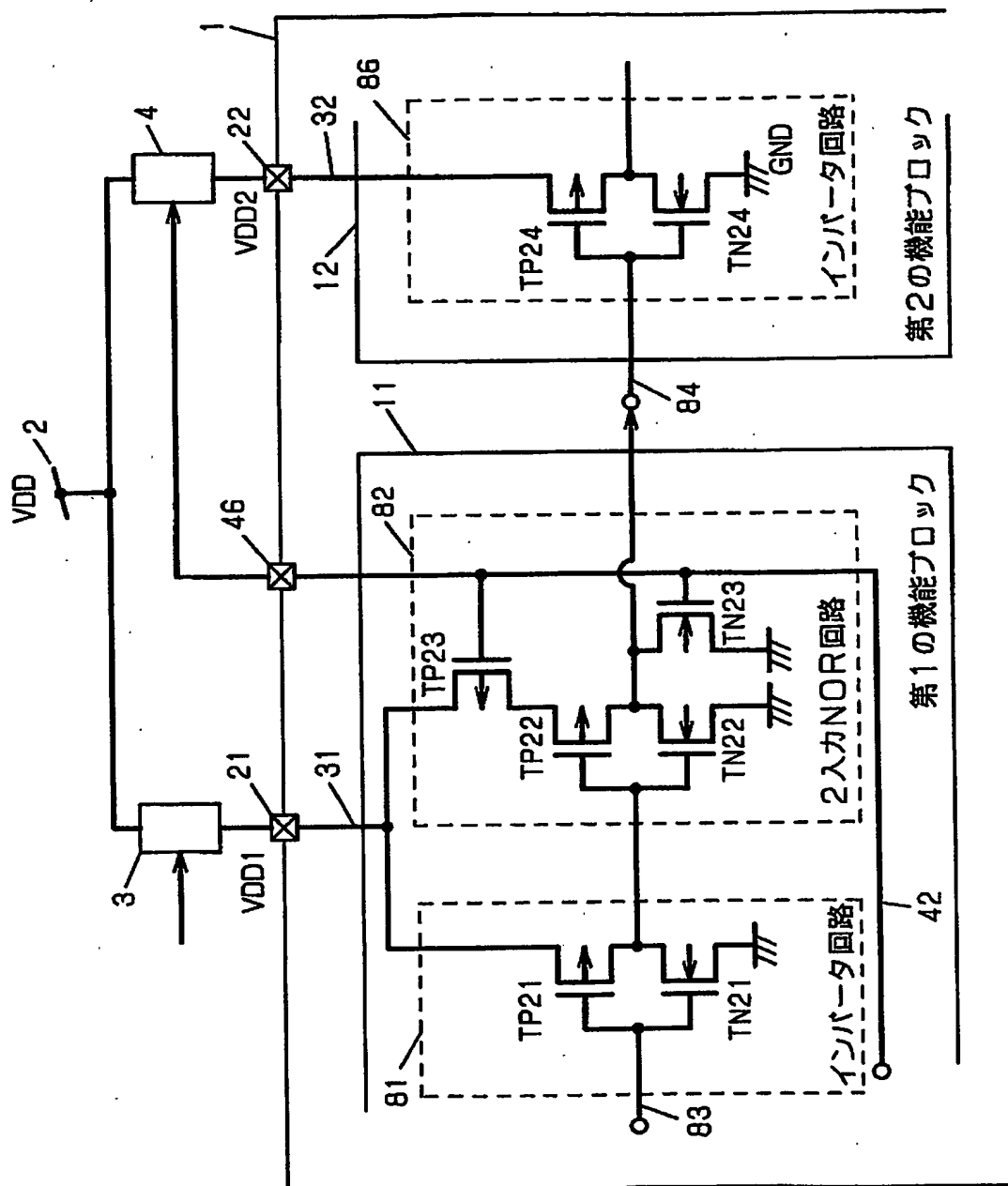
【図 7】



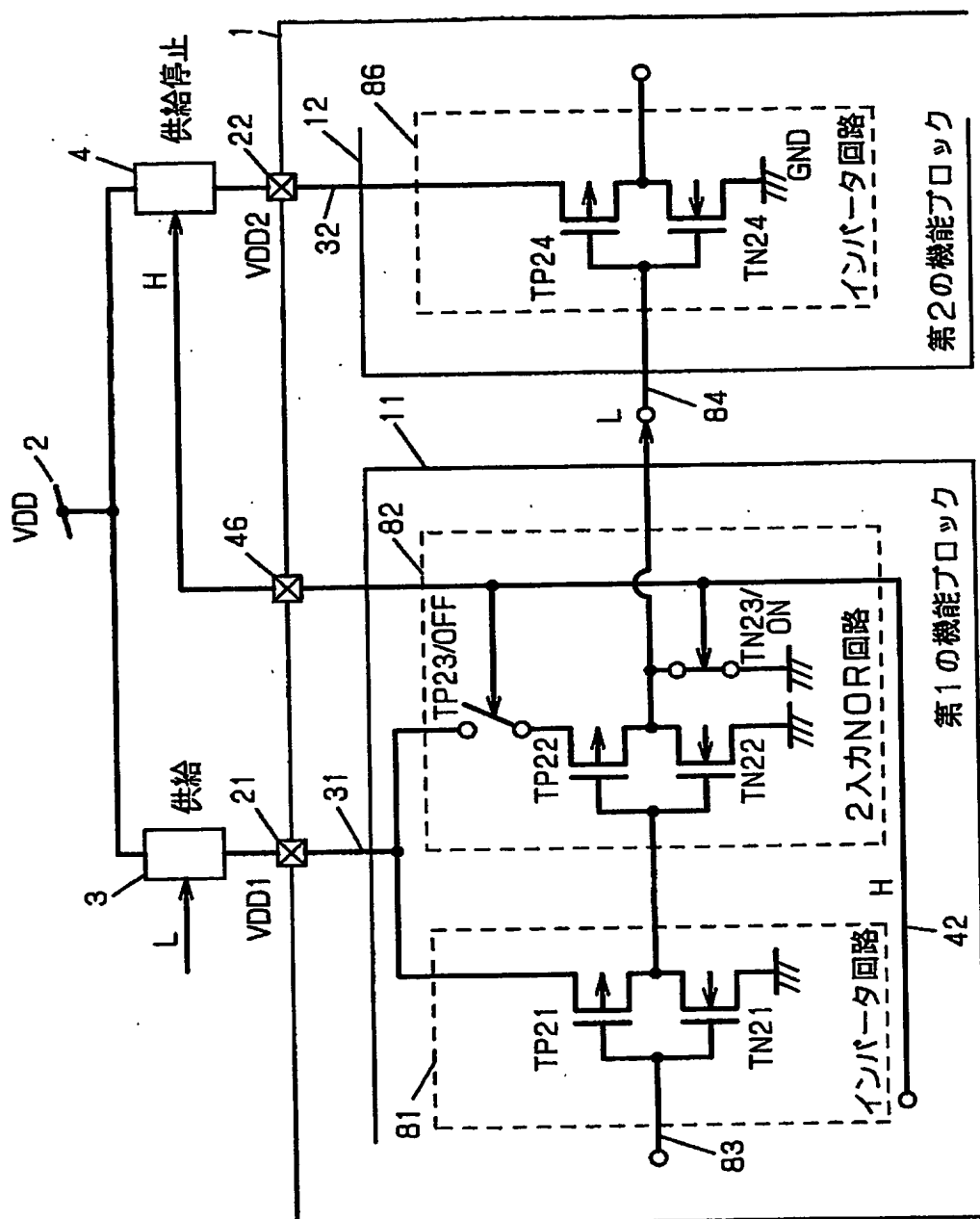
【図 8】



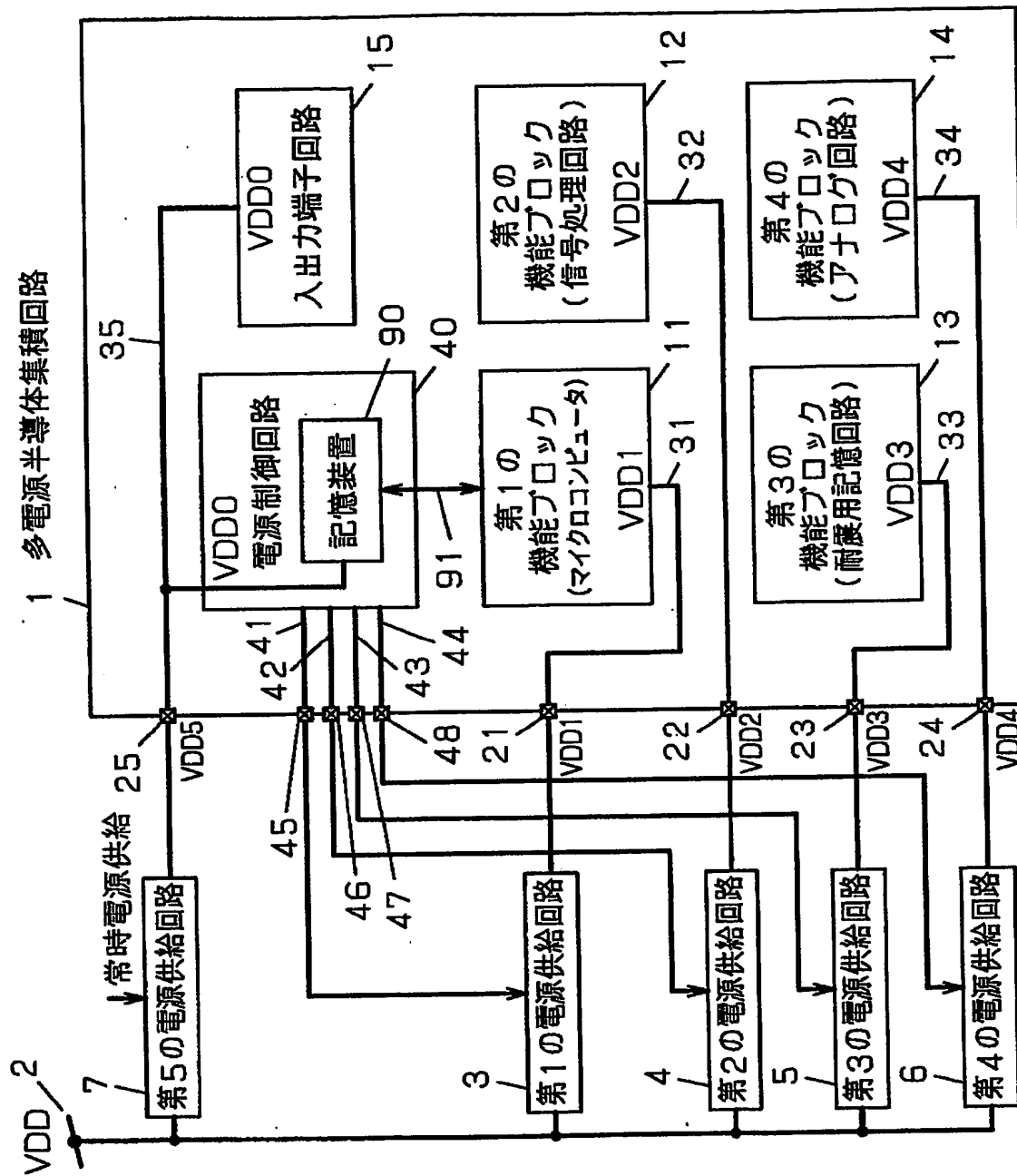
【図9】



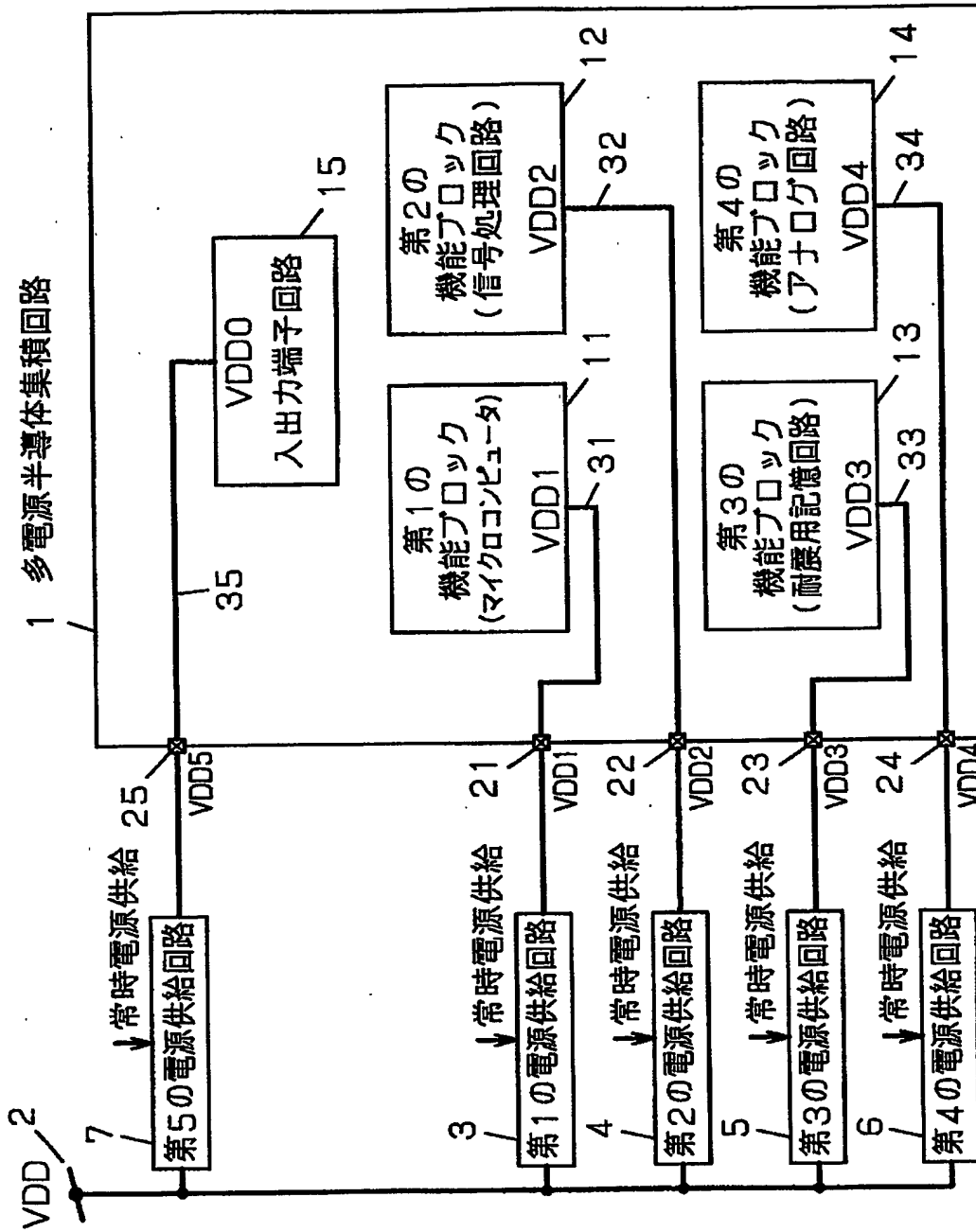
【図10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 多電源半導体集積回路において、使用していない機能ブロックに対して電源が供給されることにより、電力が無駄に消費されるのを防止する。

【解決手段】 多電源半導体集積回路の内部に常時電源供給状態の電源制御回路を設け、前記電源制御回路は、各機能ブロックへの任意の電源電圧を供給している複数の電源供給回路に、電源遮断信号を出力して電源供給を停止することで、使用していない機能ブロックへの電源供給を個別に制御する。また、内蔵されているシステム制御用のマイクロコンピュータにより電源制御回路を制御する。また、電源制御回路は、内部にシステム情報を記録する常時電源供給状態の記憶手段を備える。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社